

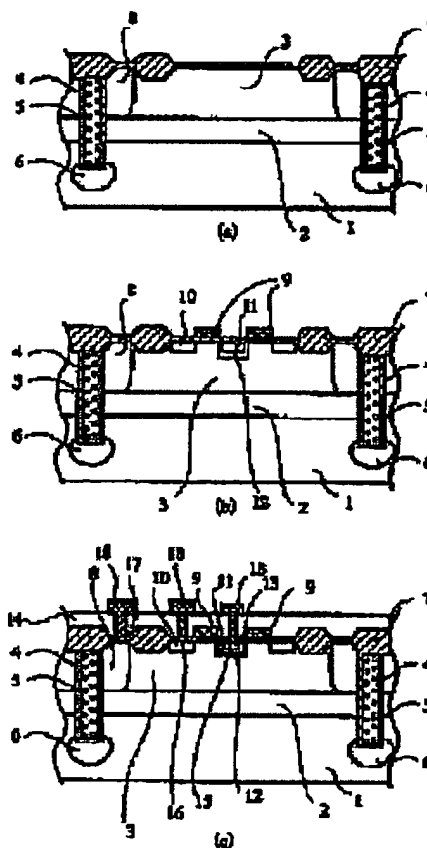
## SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

**Patent number:** JP9275154  
**Publication date:** 1997-10-21  
**Inventor:** SHISHIDO NORIHIKO  
**Applicant:** TOKYO SHIBAURA ELECTRIC CO  
**Classification:**  
**- International:** H01L21/8249; H01L27/06; H01L21/265; H01L21/8222;  
H01L21/8238; H01L27/092; H01L21/331; H01L29/73  
**- european:**  
**Application number:** JP19960081144 19960403  
**Priority number(s):** JP19960081144 19960403

Report a data error here

### Abstract of JP9275154

**PROBLEM TO BE SOLVED:** To provide a semiconductor device capable of keeping a current gain high and being integrated in the semiconductor device containing a bipolar transistor and its manufacturing method.  
**SOLUTION:** In a P<+> -type emitter 11 of a lateral PNP transistor, a P<+> -type emitter 13 having higher impurity concentration than the emitter 11 is formed. Further, an N<+> -type base 12 having higher impurity concentration than an N<-> -type base 3 is formed surrounding the P<+> -type emitter 11. Further, in the P<+> -type emitter 13, an insulation oxide film 14 on the P<+> -type emitter 11 is opened, and impurities are added to a certain degree that they remain behind in this opening part, to form polycide and be heated, so that the emitter 13 may be formed by solid-phase-diffusing in the P<+> -type emitter 11.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-275154

(43) 公開日 平成9年(1997)10月21日

(51) Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/8249		H 0 1 L 27/06	3 2 1 B
	27/06		21/265	P
	21/265		27/06	1 0 1 U
	21/8222			3 2 1 C
	21/8238		27/06	3 2 1 F

審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平8-81144

(22) 出願日 平成8年(1996)4月3日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 矢野 徳彦

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

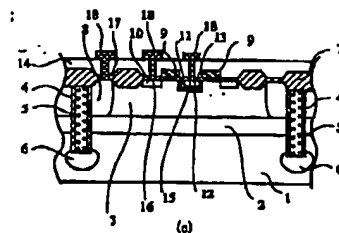
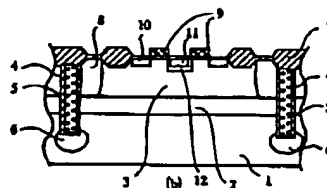
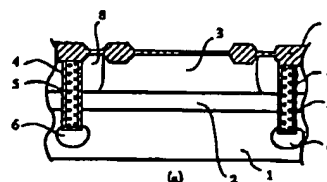
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 バイポーラトランジスタを含む半導体装置において、電流利得を高く維持し、集積化を図ることができる半導体装置及びその製造方法を提供すること。

【解決手段】 横型PNPトランジスタのP<sup>+</sup>型エミッタ11内に、エミッタ11よりも不純物濃度の高いP<sup>++</sup>型エミッタ13を形成する。また、P<sup>+</sup>型エミッタ11の周りにN<sup>-</sup>型ベース3よりも不純物濃度の高いN<sup>-</sup>型ベース12を形成する。また、P<sup>++</sup>型エミッタ13は、P<sup>+</sup>型エミッタ11上の絶縁酸化膜14を開口し、この開口部に残留させる程度に不純物を添加したポリサイド20を形成して、熱処理を行い、P<sup>+</sup>型エミッタ11内に固相拡散して形成してもよい。



(2)

特開平9-275154

1

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板内の第1導電型の第1ベース領域と、前記半導体基板内に形成された第2導電型のコレクタ領域と、このコレクタ領域と離間して前記半導体基板内に形成された第2導電型の第1エミッタ領域とを有する半導体装置において、

前記第1エミッタ領域内に形成され、前記第1エミッタ領域より高不純物濃度の第2導電型の第2エミッタ領域を有することを特徴とする半導体装置。

【請求項2】 前記第1エミッタ領域を囲んで形成された前記第1ベース領域より高不純物濃度の第1導電型の第2ベース領域を有することを特徴とする請求項1記載の半導体装置。

【請求項3】 第1導電型の第1ベース領域を含む横型バイポーラトランジスタ形成領域を有する半導体基板を用意する工程と、  
前記第1ベース領域内に第2導電型の第1エミッタ領域及びコレクタ領域を形成する工程と、  
前記第1エミッタ領域内に第2導電型不純物を導入し、  
前記第1エミッタ領域より高不純物濃度の第2エミッタ領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項4】 第1導電型の第1ベース領域を含む横型バイポーラトランジスタ形成領域を有する半導体基板を用意する工程と、  
前記第1ベース領域内に、第2導電型の第1エミッタ領域及びコレクタ領域を形成する工程と、  
前記半導体基板上に絶縁膜を形成する工程と、  
前記第1エミッタ領域の一部があらわれるように前記絶縁膜にコンタクトホールを開く工程と、  
前記コンタクトホールに、第2導電型不純物が添加された導電膜を形成する工程と、  
前記導電膜から前記第2導電型不純物を拡散させ、前記第1エミッタ領域内に前記第1エミッタ領域より高不純物濃度の第2エミッタ領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項5】 前記半導体基板は、前記横型バイポーラトランジスタ形成領域と絶縁分離された縦型バイポーラトランジスタ形成領域を更に有し、前記導電膜を形成する際に同時に前記縦型バイポーラトランジスタ形成領域上に前記縦型バイポーラトランジスタのベース電極を形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記第1エミッタ形成領域の周りに、第1導電型の第1ベース領域よりも不純物濃度の高い第2ベース領域を形成することを特徴とする請求項3または請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置のう

2

ち、特にバイポーラトランジスタを含む半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来のバイポーラトランジスタ及びその製造方法について、図5を参照して説明する。図5

(a)乃至(c)は従来の横型PNPトランジスタ(以下L-PNPと称する。)の製造工程図である。

【0003】図5(a)に示すように、P型基板101上に不純物濃度 $1 \times 10^{11} \text{ atoms/cm}^3$ のN<sup>+</sup>型埋め込み層102及び不純物濃度 $1 \times 10^{11} \text{ atoms/cm}^3$ のN<sup>+</sup>型ベース103となるN<sup>+</sup>型エピタキシャル層を形成する。次に、トレンチ104を形成し、その底部にP<sup>+</sup>型チャネルカットインブラ層106を形成する。次に、トレンチ104の側壁に酸化膜を形成した後、ポリシリコン105を埋め込み、素子分離をおこなう。次に、選択酸化膜107を形成し、ベース形成領域とエミッタ及びコレクタ形成領域を分離する。次に、ベース103の引き出しとなる不純物濃度 $1 \times 10^{11} \text{ atoms/cm}^3$ のディープN<sup>+</sup>層108を形成する。

【0004】次に、図5(b)に示すように、ポリシリコン109、選択酸化膜107及び図示せぬレジストパターンをマスクにして、ボロンをドーズ量 $5 \times 10^{11} \text{ atoms/cm}^3$ の条件下でイオン注入し、続けて熱拡散を行うことにより、P<sup>+</sup>型コレクタ110及びP<sup>+</sup>型エミッタ111を形成する。

【0005】次に、図5(c)に示すように、層間絶縁膜となる酸化膜112を半導体基板全面に気相成長法により形成する。次に、この層間絶縁膜112にディープN<sup>+</sup>層108、P<sup>+</sup>型コレクタ110及びP<sup>+</sup>型エミッタ111へのコンタクトホール113、114、115をそれぞれ開口する。表面全体にA1を形成し、最後に、A1のパターニングを行うことにより、各不純物領域に接続されるA1電極116を形成する。以上の工程により、半導体基板にL-PNPトランジスタが形成される。

【0006】

【発明が解決しようとする課題】通常、L-PNPトランジスタは、実際の集積回路では、その用途から、PMOSTランジスタ及びNMOSTランジスタからなるCMOSTランジスタや、NPNトランジスタとともに用いられる場合が多く、その製造工程においては、これら他のトランジスタと工程を極力共有して形成される。従って、従来のBiCMOS型半導体装置では、製造工程の増加を防ぐために、イオン注入工程は、各トランジスタで共通に行われている場合が多い。従来技術で示した、L-PNPトランジスタの製造工程においても、P<sup>+</sup>型コレクタ110及びP<sup>+</sup>型エミッタ111と図示せぬCMOSTランジスタのPMOS部のソース及びドレインとを同一工程で形成する場合が多いため、注入されるイオンの不純物濃度をPMOSTランジスタのソース及

50

(3)

特開平9-275154

3

びドレインに合わせて形成すると、L-PNPトランジスタのP<sup>+</sup>型コレクタ110及びP<sup>+</sup>型エミッタ111の不純物濃度が $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度となり、所望の値より低下する。このため、エミッタ注入効率が低くなり、電流利得が低くなるという問題があった。

【0007】また、L-PNPトランジスタのN<sup>-</sup>型ベース103についてもNPNトランジスタのコレクタと同一工程で形成する場合が多い。一般的に、コレクタは濃度勾配の低いN型エピタキシャルを用いるため、不純物濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 程度と低く、エミッタ111からキャリアが高濃度に注入されると、ベース103中の多数キャリア濃度がベース電荷の中性状態を保つために増加する。従って、注入されたキャリアはN<sup>-</sup>型ベース103中で再結合しライフタイムが低下するので、ベース輸送効率が低くなり、また、N<sup>-</sup>型ベース103中の多数キャリアの増加はベース不純物濃度を増加させる。つまり、コレクタ電流が増加し例えば10 $\mu\text{A}$ 以上になると、図2のコレクタ電流に対する電流利得値の特性図における従来(b)に示されているように、電流利得が急激に低下するという問題があった。

【0008】トランジスタ単体の電流利得が低いと、高い値のコレクタ電流を流すためには、トランジスタを複数個並列に並べなければならず、レイアウト上大きな面積が必要となるという問題があった。

【0009】本発明は上記のような事情を考慮し、バイポーラ型トランジスタを含む半導体装置において、わずかな工程を追加するのみで、コレクタ電流が増加しても電流利得が高く、集積化を図ることができる半導体装置及びその製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】上記目的を達成するために本発明の半導体装置は、第1導電型の半導体基板内の第1導電型の第1ベース領域と、前記半導体基板内に形成された第2導電型のコレクタ領域と、このコレクタ領域と離間して前記半導体基板内に形成された第2導電型の第1エミッタ領域とを有する半導体装置において、前記第1エミッタ領域内に形成され、前記第1エミッタ領域より高不純物濃度の第2導電型の第2エミッタ領域を有することを特徴とするものである。

【0011】更に、前記第1エミッタ領域を囲んで形成された前記第1ベース領域より高不純物濃度の第1導電型の第2ベース領域を有することが好ましい。また、第1導電型の第1ベース領域を含む横型バイポーラトランジスタ形成領域を有する半導体基板を用意する工程と、前記第1ベース領域内に、第2導電型の第1エミッタ領域及びコレクタ領域を形成する工程と、前記第1エミッタ領域内に第2導電型不純物を導入し、前記第1エミッタ領域より高不純物濃度の第2エミッタ領域を形成する工程とを具備したことを特徴とする半導体装置の製造方

法がある。

【0012】また、第1導電型の第1ベース領域を含む横型バイポーラトランジスタ形成領域を有する半導体基板を用意する工程と、前記第1ベース領域内に、第2導電型の第1エミッタ領域及びコレクタ領域を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記第1エミッタ領域の一部があらわれるように前記絶縁膜にコンタクトホールを開く工程と、前記コンタクトホールに、第2導電型不純物が添加された導電膜を形成する工程と、前記導電膜から前記第2導電型不純物を拡散させ、前記第1エミッタ領域内に前記第1エミッタ領域より高不純物濃度の第2エミッタ領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法がある。

【0013】更に、前記半導体基板は、前記横型バイポーラトランジスタ形成領域と絶縁分離された縦型バイポーラトランジスタ形成領域を更に有し、前記導電膜を形成する際に同時に前記縦型バイポーラトランジスタ形成領域上に前記縦型バイポーラトランジスタのベース電極を形成することが望ましい。更に、前記第1エミッタ形成領域の周りに、第1導電型の第1ベース領域よりも不純物濃度の高い第2ベース領域を形成することが望ましい。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態にかかる半導体装置及びその製造方法を説明する。はじめに、本発明の第1の実施の形態にかかる半導体装置について、後述する製造方法における工程図である図1(c)を参照して説明する。

【0015】本発明の第1の実施の形態にかかるL-PNPトランジスタは、トレンチ4によって絶縁分離されたN<sup>-</sup>型ベース3となるN<sup>-</sup>型エピタキシャル層の素子領域内に、N<sup>-</sup>型ベース3の引き出しとなるディープN<sup>-</sup>層8と、選択酸化膜7によってディープN<sup>-</sup>層8と分離されたP<sup>+</sup>型コレクタ10と、このP<sup>+</sup>型コレクタ10と離間して形成されたP<sup>+</sup>型エミッタ11と、このP<sup>+</sup>型エミッタ11を囲んでいるN<sup>-</sup>型ベース12と、P<sup>+</sup>型エミッタ11内に形成されたP<sup>+</sup>型エミッタ11よりも不純物濃度の高いP<sup>++</sup>型エミッタ13から構成されている。

【0016】本発明では、P<sup>+</sup>型エミッタ11内に、更に不純物濃度の高いP<sup>++</sup>型エミッタ13を形成することによって、エミッタ注入効率を向上させることができ、図2に示すコレクターエミッタ間電圧が5V一定であるときのコレクタ電流に対する電流利得値の特性図のように、従来bでは40程度であった電流利得が、本発明aでは電流利得値は倍の80程度まで向上させることができる。

【0017】また、P<sup>+</sup>型エミッタ11を囲むようにベース3よりも不純物濃度の高いN<sup>-</sup>型ベース12を形成することによって、エミッタの高注入効果によるベース

50

(4)

特開平9-275154

5

輸送効率の低下を防止することができ、コレクタ電流の増加による電流利得の低下を防止することができる。従って、図2に示されているように、従来bはコレクタ電流が $10\mu\text{A}$ 程度までしか高電流利得値を維持することができなかったが、本発明aでは、高電流利得値をコレクタ電流が $100\mu\text{A}$ 程度となるまで維持することができる。従って、コレクタ電流の値が増加しても、安定した動作を行わせることができる。

【0018】次に、本発明の第1の実施の形態に係る半導体装置の製造方法について、図1(a)乃至(c)を参照して説明する。まず、図1(a)に示すように、P型基板1上に不純物濃度 $1\times 10^{11}\text{atoms/cm}^3$ 程度のN<sup>+</sup>型埋め込み層2及び不純物濃度 $1\times 10^{11}\text{atoms/cm}^3$ 程度のN<sup>+</sup>型ベース3となるN<sup>+</sup>型エピタキシャル層を形成する。次に、トレンチ4を形成し、その底部にP<sup>+</sup>型チャネルカットインブラ層6を形成する。次に、トレンチ4の側壁に酸化膜を形成した後、ポリシリコン5を埋め込んで素子分離を行う。その後、ベース形成領域とエミッタ及びコレクタ形成領域を選択酸化膜7で分離する。その後、N<sup>+</sup>型ベース3の引き出しとなる不純物濃度 $1\times 10^{11}\text{atoms/cm}^3$ 程度のディープN<sup>+</sup>層8を形成する。

【0019】次に、図1(b)に示すように、コレクタ及びエミッタ形成領域上を開口したポリシリコン9を形成する。このポリシリコン9、選択酸化膜7及び図示せぬレジストパターンをマスクにして、コレクタ及びエミッタ形成領域にボロンをドーズ量 $5\times 10^{11}\text{atoms/cm}^3$ 程度の条件下でイオン注入を行い、その後熱拡散してコレクタ及びエミッタ形成領域にP<sup>+</sup>型コレクタ10及びP<sup>+</sup>型エミッタ11を形成する。次に、P<sup>+</sup>型エミッタ11上のみを開口したマスク(図示せず)を用いて、エミッタ形成領域にドーズ量 $2\times 10^{11}\text{atoms/cm}^3$ 程度のヒ素を高エネルギーでイオン注入する。次に、熱拡散して、N<sup>+</sup>型ベース3よりも不純物濃度の高いN<sup>+</sup>型ベース12を形成する。

【0020】次に、図1(c)に示すように、N<sup>+</sup>型ベース12を形成したときと同じマスク(図示せず)を用いてドーズ量 $1\times 10^{11}\text{atoms/cm}^3$ 程度のボロンをイオン注入する。このマスクを除去した後、熱拡散してP<sup>+</sup>型エミッタ11よりも不純物濃度の高いP<sup>++</sup>型エミッタ13を形成する。その後、層間絶縁膜となる酸化膜14を気相成長法により形成する。次に、ディープN<sup>+</sup>層8、P<sup>+</sup>型コレクタ10及びP<sup>++</sup>型エミッタ13へのコンタクトホール15、16、17をそれぞれ開口し、表面全体にA1を形成し、最後に、A1のパターニングを行うことにより、各不純物領域に接続されるA1電極18を形成する。以上により、本発明の第1の実施の形態による製造工程が終了する。

【0021】本発明の第1の実施の形態にかかるL-P NPNトランジスタを図3に示されるようなBiCMOS

6

型半導体装置の一部として形成する場合、従来と同様に、L-PNPトランジスタ形成領域36内のポリシリコン9を形成するのと同じ工程で、NPNトランジスタ形成領域40内のエミッタ電極34を形成することができる。

【0022】また、同様に、L-PNPトランジスタ形成領域36内のポリシリコン9を形成するのと同じ工程で、CMOSTランジスタ形成領域37内のPMOSTランジスタ形成領域38及びNMOSTランジスタ形成領域39のゲート電極31を形成することができる。

【0023】また、同様に、L-PNPトランジスタ形成領域36内のP<sup>+</sup>型コレクタ10及びP<sup>+</sup>型エミッタ11を形成するのと同じ工程で、PMOSTランジスタ形成領域38のP<sup>+</sup>型ソース32及びP<sup>+</sup>型ドレイン33を形成することができる。

【0024】すなわち、本発明の第1の実施の形態にかかる半導体装置は、N<sup>+</sup>型ベース12及びP<sup>++</sup>型エミッタ13の形成に係るPEP(Photo Engraving Process)工程及びイオン注入工程の増加のみで製造することができる。

【0025】次に、図4を参照して本発明の第2の実施の形態に係る半導体装置及びその製造方法について説明する。図4(a)乃至(d)は、本発明の第2の実施の形態に係る半導体装置の製造工程図である。

【0026】以下、第1の実施の形態と同様に、L-P NPN型トランジスタの製造方法について説明する。ディープN<sup>+</sup>層8を形成する工程までは、第1の実施の形態の図1(a)と同様であり、説明を省略する。尚、同一の構成については同一の符号を記すものとする。

【0027】次に、図4(a)に示すように、エミッタ及びコレクタ形成領域上を開口したポリサイド19を形成する。次に、このポリサイド19、選択酸化膜7及び図示せぬレジストパターンをマスクにして、ボロンをドーズ量 $5\times 10^{11}\text{atoms/cm}^3$ 程度の条件下でイオン注入を行い、その後熱拡散して、コレクタ及びエミッタ形成領域にP<sup>+</sup>型コレクタ10及びP<sup>+</sup>型エミッタ11を形成する。次に、P<sup>+</sup>型エミッタ11上のみを開口したレジストパターンをマスク(図示せず)として、エミッタ形成領域にドーズ量 $2\times 10^{11}\text{atoms/cm}^3$ 程度のヒ素をイオン注入する。このマスクを除去した後熱拡散して、N<sup>+</sup>型ベース3よりも不純物濃度の高いN<sup>+</sup>型ベース12を形成する。

【0028】次に、図4(b)に示すように、層間絶縁膜14を形成してP<sup>+</sup>型エミッタ11上を $1.3\mu\text{m}$ 角程度開口し、ボロンをドーズ量 $1\times 10^{11}\text{atoms/cm}^3$ 程度の条件で添加したポリサイド20を形成し、これを該開口部に残留させる程度にパターニングする。その後、熱処理を行い、P<sup>+</sup>型エミッタ11内に固相拡散してP<sup>+</sup>型エミッタ11内にP<sup>++</sup>型エミッタ11よりも不純物濃度の高いP<sup>++</sup>型エミッタ13を形成する。

(5)

特開平9-275154

7

8

【0029】次に、図4(c)に示されるように、層間絶縁膜21を形成し、ディープN<sup>+</sup>層8、P<sup>+</sup>型コレクタ10及びP<sup>+</sup>型エミッタ13へのコンタクトホール15、16、17をそれぞれ開口する。次に、表面全体にA1を形成し、最後に、A1のパターニングを行うことにより、各不純物領域に接続されるA1電極18を形成する。以上の工程により、本発明の第2の実施の形態にかかる半導体装置の製造工程が終了する。

【0030】第1の実施の形態と同様に、第2の実施の形態におけるL-PNPトランジスタを図3に示されるBiCMOS型半導体装置の一部として形成する場合、従来と同様に、L-PNPトランジスタ形成領域36内にポリサイド19を形成するのと同一工程で、CMOSTランジスタ形成領域37内のPMOSTランジスタ38及びNMOSTランジスタ39のゲート電極31を形成することができる。ゲート電極31としてポリシリコン5を用いた場合、そのシート抵抗は約40Ω/□であるが、ポリサイド19を用いると、シート抵抗は4～6Ω/□に低下する。従って、CMOSTランジスタ37全体の抵抗が下がり、より高速な動作が可能になる。

【0031】また、同様に、L-PNPトランジスタ形成領域36内のポリサイド19を形成するのと同一工程で、NPNトランジスタ形成領域40内のエミッタ電極34を形成することができる。

【0032】また、L-PNPトランジスタ形成領域36内に固相拡散によって不純物濃度の高いP<sup>+</sup>型エミッタ13を形成するためのポリサイド20を形成するのと同一工程で、NPNトランジスタ形成領域40のベース電極35を形成することができるため、製造工程を増加させずに不純物濃度の高いP<sup>+</sup>型エミッタ13を形成することが可能である。尚、本発明の半導体装置は上記実施の形態に限定されず、BiCMOS型半導体装置以外の半導体装置を製造する際にも適用することが可能である。

【0033】

【発明の効果】本発明によれば、わずかな製造工程を追加するのみで、不純物濃度の高いエミッタ領域を形成することで、これによって電流利得を高く維持し、集積化を図ることができる半導体装置を提供することができ

る。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の製造工程図。

【図2】コレクタ電流に対する電流利得値の特性図。

【図3】本発明の半導体装置が含まれるBiCMOS型半導体装置の断面図。

【図4】本発明の第2の実施の形態の半導体装置の製造工程図。

【図5】従来の半導体装置の製造工程図。

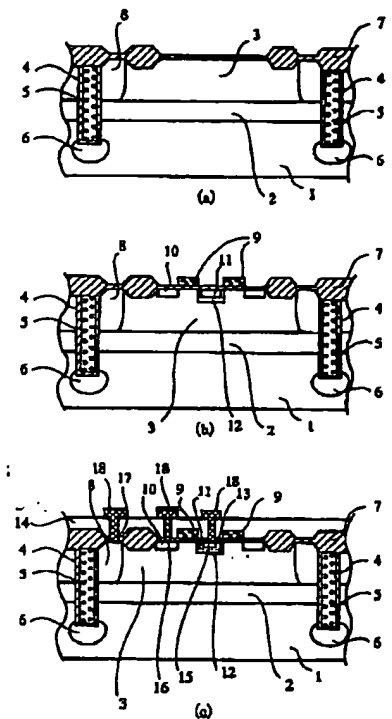
【符号の説明】

- 1, 101…P型基板、
- 2, 102…N<sup>+</sup>型埋め込み層、
- 3, 103…N<sup>+</sup>型ベース、
- 4, 104…トレンチ、
- 5, 9, 105, 109…ポリシリコン、
- 6, 106…P<sup>+</sup>型チャネルカットインブラ層、
- 7, 107…選択酸化膜、
- 8, 108…ディープN<sup>+</sup>層、
- 10, 110…P<sup>+</sup>型コレクタ、
- 11, 111…P<sup>+</sup>型エミッタ、
- 12…N<sup>+</sup>型ベース、
- 13…P<sup>+</sup>型エミッタ、
- 14, 21, 112…層間絶縁膜、
- 15, 16, 17, 113, 114, 115…コンタクトホール、
- 18, 116…A1電極、
- 19, 20…ポリサイド、
- 31…ゲート電極、
- 32…ソース、
- 33…ドレイン、
- 34…エミッタ電極、
- 35…ベース電極、
- 36…L-PNPトランジスタ形成領域、
- 37…CMOSTランジスタ形成領域、
- 38…PMOSTランジスタ形成領域、
- 39…NMOSTランジスタ形成領域、
- 40…NPNトランジスタ形成領域

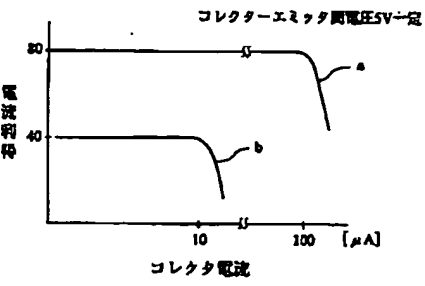
(6)

特開平9-275154

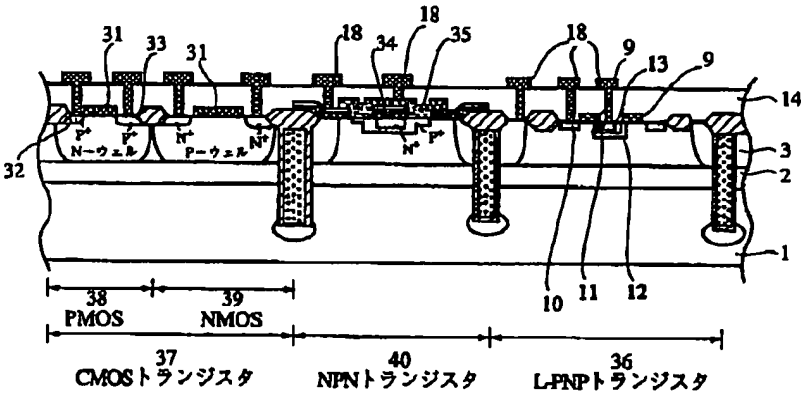
【図1】



【図2】



【図3】



(7)

特開平9-275154

